

Résumé

Mots clés : modélisation orientée-objet, simulation, validation, évaluation de performances, architectures numériques.

SEP est une méthode incrémentale orientée-composant de Simulation et d'Évaluation de Performances d'architectures matérielles numériques. Les modèles d'architectures sont construits par un agencement structural de composants et de connecteurs suivant des règles de composition. L'évaluation de performances d'une architecture par rapport à une application est effectuée dans un environnement de simulation à événements discrets adapté. Le modèle construit peut être utilisé comme référence pour la mise au point de code synthétisable.

Dans une première partie, nous définissons un modèle générique décrit en UML (Unified Modelling Language) qui permet une modélisation unifiée d'architectures hétérogènes et la construction d'un environnement graphique d'aide à la conception et non spécifique d'une architecture. Le comportement des composants élémentaires à partir de méthodes Java est construit par une spécification active. L'utilisation de l'approche par composants autonomes rend possible la mise en place de nombreux mécanismes intéressants pour améliorer la réutilisation et la lisibilité des modèles, pour modéliser le jeu d'instructions, pour intégrer des modèles Esterel.

Dans une deuxième partie, nous montrons comment notre modèle permet l'intégration de techniques de validation dans l'environnement de simulation. En particulier, nous validons la composition des composants et les services de haut niveau construits. Un mécanisme de liaison dynamique évolué est alors mis en place pour valider fonctionnellement les modèles.

Dans une dernière partie, nous utilisons l'environnement construit pour valider la méthode sur plusieurs applications issues de projets industriels.

Abstract

Keywords : Object-oriented modelling, simulation, validation, performance evaluation, digital architectures.

SEP is an incremental component-oriented method to evaluate performances of digital hardware architectures. Structural models are constructed using basic components, connectors and compositional rules. A discrete-event simulation environment allows the performance evaluation of the models relatively to some critical applications. The resulting model may be used as a reference to build VHDL or Verilog code.

Firstly, we have defined a generic model using UML (Unified Modelling Language). This model allows an unified modelling of heterogeneous architectures and the definition of a computer-aided graphical environment independent of an architecture type. The behaviour of basic components is actively specified from Java methods. The component-oriented approach allows enhancement of readability and reusability, instruction-set modelling and integration of Esterel modules.

Secondly, we advocate the easiness to integrate some validation techniques into our simulation environment thanks to our model properties. In particular, a tool checks composition of components and high-level services. Moreover a dynamic binding mechanism replacing the Java one, efficiently takes care of specified types to perform functional validations.

Finally, in the last part we use our graphical environment to validate our method on industrial applications.